

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-004661

(43)Date of publication of application : 14.01.1994

(51)Int.Cl. G06F 15/66  
H04N 1/40

(21)Application number : 04-165748

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 24.06.1992

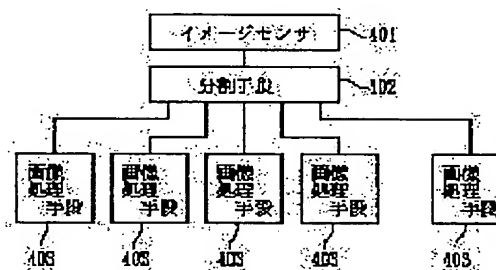
(72)Inventor : SATO SADAKI  
TAZAKI KAZUHIRO  
HIRAYAMA YOSHIFUMI

## (54) IMAGE PROCESSOR

## (57)Abstract:

PURPOSE: To process image at a high speed with respect to image data of one line.

CONSTITUTION: Plural image sensors 401 read an original while dividing it so as to make reading areas partially overlap and divide image data of one line into plural blocks. A dividing means 402 using a memory, e.g. furthermore divides the respective blocks into plural blocks so that the respective blocks have image data in the neighborhood of the border of adjacent two blocks overlapping. Then, an image processing means 403 image-processes color ghost correction, the connection correction of a marker, and digital filter processing, etc., independently of and parallelly with the respective blocks.



## LEGAL STATUS

[Date of request for examination] 18.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2982032

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-4661

(43)公開日 平成6年(1994)1月14日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/66	4 7 0 K	8420-5L		
H 0 4 N 1/40	Z	9068-5C		

審査請求 未請求 請求項の数8(全17頁)

(21)出願番号 特願平4-165748

(22)出願日 平成4年(1992)6月24日

(71)出願人 000005496

富士ゼロックス株式会社  
東京都港区赤坂三丁目3番5号

(72)発明者 佐藤 貞樹

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

(72)発明者 田崎 一広

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

(72)発明者 平山 慶文

埼玉県岩槻市府内3丁目7番1号 富士ゼ  
ロックス株式会社岩槻事業所内

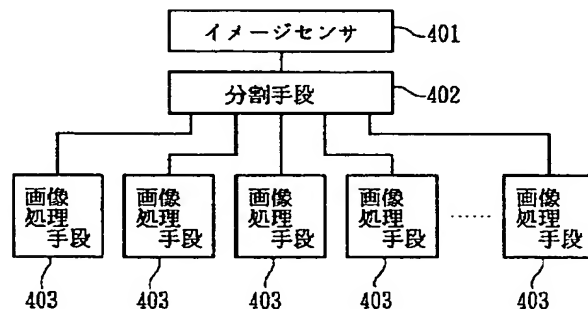
(74)代理人 弁理士 山内 梅雄

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 1ライン分の画像データに対して画像処理を高速に行う。

【構成】 複数のイメージセンサ401によって、読み取り領域が一部重複するように原稿を分割して読み取って1ライン分の画像データを複数のブロックに分割し、この各ブロックを、例えばメモリを用いた分割手段402によってさらに、隣接する2つのブロックの境界近傍の画像データを各ブロックが重複して持つように複数のブロックに分割する。そして、画像処理手段403によって、各ブロックごとに独立にかつ並列に、色ゴースト補正やマーカの連結補正やデジタルフィルタ処理等の画像処理を行う。



## 【特許請求の範囲】

【請求項 1】 1 ライン分の画像データを、隣接する 2 つのブロックの境界近傍の画像データを各ブロックが重複して持つように複数のブロックに分割する分割手段と、

この分割手段によって分割された各ブロックごとに独立にかつ並列に画像処理を行う画像処理手段とを具備することを特徴とする画像処理装置。

【請求項 2】 前記分割手段は、原稿の 1 ラインの領域の画像情報をそれぞれ所定の領域ごとに分割して読み取り、各領域の境界近傍の画像情報を重複して読み取り、各ブロックごとの画像データとして出力する複数のイメージセンサを含むことを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記分割手段は、入力画像データのうちそれぞれ所定の領域の画像データを取り込むと共に各領域の境界近傍の画像データを重複して取り込み、各ブロックごとの画像データとして出力する複数のデータ入出力手段を含むことを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 前記データ入出力手段は、入力画像データのうちの所定の領域の画像データおよび領域の境界近傍の画像データを記憶し、記憶したデータを出力するメモリを含むことを特徴とする請求項 3 記載の画像処理装置。

【請求項 5】 前記画像処理手段は、注目画素に対してその周辺の複数の画素の画像データを用いる画像処理を行うことを特徴とする請求項 1、2 または 3 記載の画像処理装置。

【請求項 6】 前記画像処理手段は、注目画素の色情報をその周辺の複数の画素の画像データに基づいて補正する補正手段を含むことを特徴とする請求項 5 記載の画像処理装置。

【請求項 7】 前記画像処理手段は、特定の特徴を有する画素が連結している部分を識別する場合において、近接する複数の画素の画像データに基づいて、画素の連結が途切れている部分を補う補正を行う連結補正手段を含むことを特徴とする請求項 5 記載の画像処理装置。

【請求項 8】 前記画像処理手段は、注目画素の周辺の複数の画素の画像データを用いた演算を行うフィルタ処理手段を含むことを特徴とする請求項 5 記載の画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は 1 ライン分の画像データを高速に処理する画像処理装置に関する。

## 【0002】

【従来の技術】 デジタル複写機、ファクシミリ装置等の画像入出力システムでは、その入力手段として例えば、原稿面を光走査して画素単位に走査、サンプリング

して 1 ラインごとに光電変換して読み取る電荷結合素子（以下 CCD と記す。）等の光電変換素子が用いられている。そして、この光電変換素子によって得られた画像データに対して補正処理等の画像処理を施す画像処理装置が良く知られている。

【0003】 このような画像処理装置では、例えば CCD をラインセンサとして A0 サイズ程の幅広原稿を高解像度で読み取る場合、高画素密度で長尺な CCD ラインセンサを用いなければならない。しかしながら、実際には半導体集積技術における製造上の問題等から、そのような長尺の 1 ライン分の画像データを読み取ることのできる素子を製造することが困難である。

【0004】 そこで、従来は、例えば特開昭 57-26963 号公報や特開昭 58-131860 号公報に示されるように、複数の素子をライン状に並設して画像の 1 走査ラインの領域を複数に分割させて読み取り、その後分割されていた画像データを 1 ラインの画像データに直す処理を施すことが行われている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、A0 サイズ程の原稿の 1 ライン分の読み取りデータは当然のことながらデータ量が多く、ライン単位の処理では処理速度が遅くなり、リアルタイム性が要求される画像処理が困難になる場合があるという問題点がある。

【0006】 一方、複数の素子の画像データごとに画像処理を施すことも考えられるが、この場合には、注目画素の画像データ以外に周辺の画素の画像データを使用するデジタルフィルタ処理等の画像処理では、素子の境界近傍の画素については画像処理を行うことができないという問題点がある。

【0007】 そこで本発明の目的は、1 ライン分の画像データに対して画像処理を高速に行うことができるようにした画像処理装置を提供することにある。

【0008】 本発明の他の目的は、注目画素に対してその周辺の複数の画素の画像データを用いて行う画像処理を、1 ライン分の画像データに対して行う場合に、処理できない画素が生じることなく、画像処理を高速に行うことができるようにした画像処理装置を提供することにある。

## 【0009】

【課題を解決するための手段】 請求項 1 記載の発明の画像処理装置は、図 1 の概念図に示すように、例えばイメージセンサ 401 によって原稿を読み取って得られた 1 ライン分の画像データを、隣接する 2 つのブロックの境界近傍の画像データを各ブロックが重複して持つように複数のブロックに分割する分割手段 402 と、この分割手段 402 によって分割された各ブロックごとに独立にかつ並列に画像処理を行う画像処理手段 403 とを備えたものである。

【0010】 この画像処理装置では、分割手段 402 に

よって 1 ライン分の画像データが複数のブロックに分割されるが、その際、隣接する 2 つのブロックの境界近傍の画像データを各ブロックが重複して持つように分割される。そして、画像処理手段 403 によって、各ブロックごとに独立にかつ並列に画像処理が行われる。

【0011】請求項 2 記載の発明の画像処理装置は、請求項 1 記載の発明において、分割手段が、原稿の 1 ラインの領域の画像情報をそれぞれ所定の領域ごとに分割して読み取ると共に各領域の境界近傍の画像情報を重複して読み取り、各ブロックごとの画像データとして出力する複数のイメージセンサを含むものである。

【0012】この画像処理装置では、原稿の 1 ラインの領域の画像情報を一部重複して読み取る複数のイメージセンサによって、1 ライン分の画像データが複数のブロックに分割される。

【0013】請求項 3 記載の発明の画像処理装置は、請求項 1 記載の発明において、分割手段が、入力画像データのうちそれぞれ所定の領域の画像データを取り込むと共に各領域の境界近傍の画像データを重複して取り込み、各ブロックごとの画像データとして出力する複数のデータ入出力手段を含むものである。

【0014】この画像処理装置では、入力画像データを一部重複して取り込んで出力する複数のデータ入出力手段によって、1 ライン分の画像データが複数のブロックに分割される。

【0015】請求項 4 記載の発明の画像処理装置は、請求項 3 記載の発明において、データ入出力手段が、入力画像データのうちの所定の領域の画像データおよび領域の境界近傍の画像データを記憶し、記憶したデータを出力するメモリを含むものである。

【0016】請求項 5 記載の発明の画像処理装置は、請求項 1、2 または 3 記載の発明において、画像処理手段が注目画素に対してその周辺の複数の画素の画像データを用いる画像処理を行うものである。

【0017】請求項 6 記載の発明の画像処理装置は、請求項 5 記載の発明において、画像処理手段が、注目画素の色情報をその周辺の複数の画素の画像データに基づいて補正する補正手段を含むものである。

【0018】請求項 7 記載の発明の画像処理装置は、請求項 5 記載の発明において、画像処理手段が、特定の特徴を有する画素が連結する部分を識別する場合において、近接する複数の画素の画像データに基づいて、画素の連結が途切れている部分を補う補正を行う連結補正手段を含むものである。特定の特徴を有する画素とは、例えば使用者が指定したマーカ色に一致した色相データを持つ画素である。

【0019】請求項 8 記載の発明の画像処理装置は、請求項 5 記載の発明において、画像処理手段が、注目画素の周辺の複数の画素の画像データを用いた演算を行うフィルタ処理手段を含むものである。

## 【0020】

【実施例】以下、図面を参照して本発明の実施例について説明する。図 2 ないし図 41 は本発明の一実施例に係るものであり、本実施例は本発明をデジタル複写機に適用した例である。

【0021】本実施例のデジタル複写機は、フルカラーイメージセンサで原稿を読み取り、種々の画像処理、画像編集を行った画像データを蓄えるページメモリを搭載したイメージスキャナ部と、このイメージスキャナ部で蓄えられた画像データを 2 色でプリントするプリント部とで構成されている。イメージスキャナ部には、コピー枚数や種々の画像処理・編集機能等をユーザが指定するためのコントロールパネルが設けられており、このコントロールパネルによる指定によって所望のコピーを得ることができるようになっている。

【0022】図 2 はイメージスキャナ部の構成を示すブロック図である。イメージスキャナ部 220 は、CCD を用いたイメージセンサ 308 を有し、このイメージセンサ 308 は CCD ドライブ回路 200 上に取り付けられている。CCD ドライブ回路 200 の後段には順に、アナログ回路 201、ビデオ (1) 回路 202、ビデオ (2) 回路 203、カラー回路 204、デジタルフィルタ回路 (以下、DF 回路と記す。) 206 および中間調処理回路 (以下、HTP 回路と記す。) 207 が設けられている。また、カラー回路 204 には領域認識回路 (以下、AR 回路と記す。) 205 が接続され、HTP 回路 207 には編集回路 (以下、EDIT 回路と記す。) 208 が接続されている。また、ビデオ (1) 回路 202 ~ HTP 回路 207、AR 回路 205 および EDIT 回路 208 とこれらを制御する中央処理装置 (以下、CPU と記す。) (1) 回路 209 とは、システムバスの規格の一つである VME バス 16 によって互いに接続されている。また、回路 202 ~ 209 を画像処理部 214 とする。

【0023】HTP 回路 207 の後段にはデータ処理回路 210 が接続されている。このデータ処理回路 210 には CPU (2) 回路 211 およびページメモリ回路 212 が接続されている。また、CPU (2) 回路 211 にはコントロールパネル 213 が接続されている。データ処理回路 210 は画像データ 215 をプリント部 221 に入力すると共に、プリント部からの制御信号 238 を入力するようになっている。また、CPU (2) 回路 211 は制御データ線 120 を介して CPU (1) 回路 209 と接続されていると共に、制御データ線 237 を介してプリント部の制御部に接続されている。

【0024】図 3 はプリント部の構成を示すブロック図である。プリント部 221 は、イメージスキャナ部 220 からの画像データ 215 を入力するデータ分離部 231 と、このデータ分離部 231 の後段に設けられた第 1 色画像データメモリ 232 および第 2 色画像データメモ

り234と、第1色画像データメモリ232の後段に設けられた第1色レーザ駆動部233と、第2色画像データメモリ234の後段に設けられた第2色レーザ駆動部235と、以上の各部を制御する制御部236とを備えている。制御部236は、制御データ線237を介してイメージスキャナ部220のCPU(2)回路211に接続されていると共に、制御信号238をイメージスキャナ部220のデータ処理回路210へ送るようになっている。

【0025】図4はイメージスキャナ部の断面の一部を示す説明図である。イメージスキャナ部は、原稿搬送路の上側に設けられた複数の原稿フィードローラ302、303と、原稿搬送路の下側に設けられ原稿フィードローラ302、303と共に原稿310をニップする複数のローラ304、305とを備えている。また、原稿搬送路の途中の下側には図示しないブラテンガラスが設けられ、このブラテンガラス上にブラテンローラ311が設けられている。また、ブラテンガラスの下側には光源306と、CCDドライブ回路200上に取り付けられたイメージセンサ308と、光源306によって照明された原稿310の像をイメージセンサ308上に結像する収束性ロッドレンズアレー309とが設けられている。また、原稿挿入部には原稿310を検出するセンサ301が設けられている。また、ブラテンローラ311の周囲には、複数の平面を有し、ブラテンローラ311の中心軸を中心として回転可能な基準板312が設けられている。この基準板312は、図5に示すように、黒レベルの基準となる黒色面313と、白レベルの基準となる白色面314とを有し、これら黒色面313、白色面314を、ブラテンガラスとブラテンローラ311の間に選択的に介装できるようになっている。

【0026】図6はイメージセンサ308の平面図である。本実施例で使用されるイメージセンサ308はフルカラーの密着型センサであり、図6に示すように、千鳥状に配列された5つのライン型のセンサチップ(1)～(5)321～325を有している。センサチップ(1)、(3)、(5)とセンサチップ(2)、(4)とは空間的に位置が $\Delta x$ だけずれている。このため、イメージセンサ308で読み取った画像データは、2つのチップ群(センサチップ(1)、(3)、(5)とセンサチップ(2)、(4))で原稿上の異なった部分のデータを同時に読み取ることになる。このデータを原稿の同一ラインを読み取ったデータに直す処理を、後述するビデオ(1)回路202内で行っている。

【0027】図7はイメージセンサ308の一つのチップの画素配列を示す説明図である。イメージセンサ308は、青(以下、Bと記す)、緑(以下、Gと記す)、赤(以下、Rと記す。)の各色の画素がこの順に配列されて構成されている。

【0028】本実施例では、A0サイズ程の広巾の原稿

を読み取るために、A3サイズ用のイメージセンサ308が3つ(これらを308a、308b、308cとする。)千鳥状に配列され、これら3つのイメージセンサ308a、308b、308cは原稿の同一ラインを読み取るように取り付けられている。図8はイメージセンサ308a、308b、308cの平面図、図9はその斜視図、図10はその長手方向から見た側面図、図11はイメージセンサ308a、308bの端部の画素配置を示す説明図である。これらの図に示すように、本実施例では、3つのイメージセンサ308a、308b、308cは、原稿の1ラインの領域の画像情報を所定の領域ごとに分割して読み取ると共に各領域の境界近傍の画像情報を数画素分重複して読み取るように、隣接する2つのイメージセンサの端部が主走査方向に数画素分重なるように配置されている。重複して読み取る画素数は、後述する後段の処理、すなわちゴーストキャンセル、マーカ連結補正、デジタルフィルタ処理によって決まってくるが、本実施例では図11に示すように14画素としている。

【0029】図12は3つのイメージセンサ308a、308b、308cによって分割されるブロックを示す説明図である。図12(a)に示すように、原稿404の画像情報は3つのイメージセンサ308a、308b、308cによって分割して読み取られ、かつ図中斜線で示す部分が重複して読み取られ、図12(b)に示すように、3つのブロック405a、405b、405cに分割された画像データとして出力される。この3つのブロックは図中斜線で示す隣接するブロックとの境界近傍の画像データを重複して持つ。そして、3つのイメージセンサの出力画像データは、以降3つのブロックごとに独立にかつ並列に処理される。

【0030】次に、イメージスキャナ部220の各回路の構成と動作を説明する。

【0031】図13はCPU(1)回路209のブロック図である。CPU(1)回路209は、CPU111、タイマ112、リード・オンリ・メモリ(以下、ROMと記す。)113、ランダム・アクセス・メモリ(以下、RAMと記す。)114、VMEバスインタフェース(以下、VMEバスI/Fと記す。)115、出力制御部116、入力制御部117およびシリアル通信部118を備え、これらはバスによって互いに接続されている。VMEバスI/F115はVMEバス16に接続され、シリアル通信部118は制御データ線120に接続されている。このCPU(1)回路209は、RAM114をワークエリアとして、ROM113に格納されたプログラムを実行することによって、画像処理部214内の各回路の制御およびCPU(2)回路211との通信を行うようになっている。

【0032】図2において、ユーザが所望のコピー枚数や各種の画像処理・編集をコントロールパネル213か

ら指定すると、CPU (2) 回路211上のCPUが制御データ線120を通してCPU (1) 回路209上のCPU111に対して、コントロールパネル213で選択されている各種の画像処理・編集情報を送る。また、CPU (2) 回路211上のCPUは、コントロールパネル213によって選択されている用紙サイズ等の情報を制御データ線237を通してプリント部221の制御部236へ送る。

【0033】図13において、制御データ線120を通して送られてきた各種の画像処理・編集情報は、シリアル通信部118を介してCPU (1) 回路209に取り込まれ、CPU111によって解読される。CPU111は画像処理・編集情報に対応した各種のパラメータ(制御データ)をVMEバスI/F115、VMEバス16を通して画像処理部214内の各回路202~208の所定のレジスタやRAMに設定する。

【0034】次に、図4において、イメージスキャナ部220に原稿310を挿入すると、センサ301がオンし、これを図13のCPU (1) 回路209の入力制御部117を通してCPU111が検知し、図示しない原稿フィード用のモータを駆動し、原稿310が原稿フィードローラ302、303で搬送される。搬送された原稿310がプラテンローラ311に達すると、光源306によって照射され原稿310で反射した光307がイメージセンサ308に入射し、図2に示すようにCCDドライブ回路200によって駆動されるイメージセンサ308によって原稿像が読み取られ、CCDビデオ信号9がアナログ回路201によって順次処理されていく。

【0035】図14はアナログ回路201のブロック図である。アナログ回路201は、CCDドライブ回路200からのCCDビデオ信号9から有効な画像信号を抽出するサンプルホールド部1と、このサンプルホールド部1の後段に順に設けられたゲインコントロール部2、ダーク補正部3、オフセットコントロール部4およびアナログ→デジタル変換(以下、A/D変換と記す。)部5と、ビデオ(1)回路202からのデジタル→アナログ変換(以下、D/A変換と記す。)データをD/A変換してゲインコントロール部2およびオフセットコントロール部4に対して設定するD/A変換部6とを備えている。

【0036】原稿読み込みに先立ち、イメージスキャナ部220の電源オン時に、プラテンガラス上に図5に示す基準板312の黒色面313を出してこれを読み取り、このときの読み取り値が所定の値になるように、オフセットコントロール部4のオフセット値をCPU111からD/A変換部6に対して自動的に設定しておく(以下、これを自動オフセット制御: AOCと呼ぶ。)。次に、プラテンガラス上に図5に示す基準板312の白色面314を出してこれを読み取り、このときの読み取り値が所定の値になるように、ゲインコントロ

ール部2のゲイン値をCPU111からD/A変換部6に対して自動的に設定しておく(以下、これを自動利得制御: AGCと呼ぶ。)。このような調整が予め行われているので、実際の原稿読み取りデータは、飽和することのない十分なダイナミックレンジを持ったビデオデータとなり、A/D変換部5でデジタル化され、画像データ8として順次ビデオ(1)回路202へ送られていく。また、ダーク補正部3は、イメージセンサ308のシールドビット(遮光画素)の出力信号を用いてイメージセンサ308の暗電流による出力変化を除去する部分である。

【0037】図15はビデオ(1)回路202のブロック図である。ビデオ(1)回路202は、アナログ回路201からの画像データ8を入力するCCDギャップ補正部11と、このCCDギャップ補正部11の後段に順に設けられたRGBセパレーション部12および暗シェーディング補正部13と、上記各部11~13を制御する制御部14と、上記各部11~13にクロックを供給するクロック発生部15とを備えている。制御部14はVMEバス16に接続され、このVMEバス16を介してアナログ回路201に対してD/A変換データ7を送ると共に、後段のビデオ(2)回路203に対して制御信号19を出力するようになっている。また、クロック発生部15はアナログ回路201に対してドライブクロック20を送り、このドライブクロック20はアナログ回路201を経てCCDドライブ回路200に送られるようになっている。

【0038】前述のように、本実施例で使用されているイメージセンサ308は図6に示すように千鳥状に配列された5つのチップ321~325から構成され、2つのチップ群がΔxだけずれているため、2つのチップ群で読み取ったデータを原稿の同一ラインを読み取ったデータに直す処理を行うのがCCDギャップ補正部11である。CCDギャップ補正部11では、具体的にはチップ(2)、(4)322、324で読み取ったデータをメモリを使って遅延させ、同一ラインの読み取りデータに直している。このCCDギャップ補正部11の出力画素データ列は、図16に示すようにB、G、Rのデータがシリアルに並んだものであるが、これを図17(a)~(c)に示すようにR、G、Bごとの画素データ列に直す処理を行うのがRGBセパレーション部12である。このようにR、G、Bに分離された画素データは暗シェーディング補正部13へ順次送られ、暗シェーディング補正が行われる。暗シェーディング補正は、原稿の読み取りに先立って、イメージスキャナ部220の電源オン時にAOC、AGC動作を行った後、黒色面313を読み取った画像データを各画素ごとにメモリに記憶しておき、実際に原稿を読み取ったときの各画素の画像データから各画素ごとに記憶していた黒色面読み取りデータを減算する処理である。このようにして順次ビデオ

(1) 回路202で処理された画像データ18はビデオ  
(2) 回路203に送られる。

【0039】図18はビデオ(2)回路203のブロック図である。ビデオ(2)回路203は、ビデオ(1)回路202からの画像データ18を入力する明シェーディング補正部21と、この明シェーディング補正部21の後段に順に設けられたRGB位置ずれ補正部22、センサ位置ずれ補正部24およびデータブロック分割部25と、上記各部21~25を制御する制御部26と、上記各部21~25にクロックを供給するクロック発生部27とを備えている。制御部26はVMEバス16に接続されていると共に、ビデオ(1)回路202からの制御信号19を入力し、またカラー回路204に対して制御信号30を送るようになってい

る。また、クロック発生部27は後段の各回路に対して制御用クロック28を送るようになってい

【0040】ビデオ(2)回路203に送られてきた画像データ18は、まず明シェーディング補正部21で明シェーディング補正が行われる。明シェーディング補正は、暗シェーディング補正と同様にAOC、AGC動作後に、白色面314を読み取った画像データを各画素ごとにメモリに記憶しておき、実際に原稿を読み取ったときの各画素の画像データを記憶していた各画素ごとの白色面読み取りデータで正規化(除算)する処理である。明シェーディング補正および暗シェーディング補正が行われた画像データは、光源306の光量分布の影響や各画素ごとの感度ばらつきの影響のない画像データとなる。また、CPU111によってAOC、AGCのオフセット値、ゲイン値を設定できると共に、明シェーディング補正部21および暗シェーディング補正部13のメモリはVMEバス16を介してCPU111から読み書きできるようになっているため、AOC、AGCおよび明、暗シェーディング補正のコントロールをCPU111が行い得るのである。

【0041】また、本実施例で使用されているイメージセンサ308は図7に示すようにB、G、Rの画素が並んで配列されているため、B、G、R間で実際

の原稿読み取り位置がずれている。このことは、次段のカラー回路204で色を判断する場合に誤判断を生じるので、R、G、Bの読み取り位置が同一仮想点となるような補正が必要である。この補正を行うのがRGB位置ずれ補正部22である。RGB位置ずれ補正は、例えば図7におけるG2の位置を基準とした場合、G2位置の仮想Bデータ、仮想Rデータを、それぞれB2、B3の画像データの演算と、R1、R2の画像データの演算から求めるものである。

【0042】ここまでの動作説明は、イメージセンサ308が一つであるかのように行ってきたが、前述のように実際は、広巾の原稿を読み取るために3つのイメージセンサ308を使用している。これら3つのイメージセ

ンサ308は原稿の同一ラインを読み取れるように調整して取り付けられているが、実際には、ずれを生じる。このずれを補正するのがセンサ位置ずれ補正部24である。センサ位置ずれ補正は、CCDギャップ補正と略同様の考え方で、各センサの画像データをそれぞれメモリを使って任意の時間だけ遅らせることで、3つのセンサの画像データがそのつなぎ目で原稿上の主走査方向の隣接画像となるようにするものである。

【0043】また、高速広巾のデジタル複写機の場合、画像データを高速で処理する必要があるが、RAMやデジタル集積回路等は高速動作にも限界がある。そこで、センサ位置ずれ補正部24の出力画像データを、データブロック分割部25で主走査方向に複数のブロックに分割する。ここでは、例えば1つのイメージセンサ308の出力画像データを2つのブロックに分割し、図19に示すように原稿310の読み取りデータを計6個のブロックに分割して、次段ではブロックごとの平行処理を行うことになる。このようにしてブロックに分割された画像データ29は順次カラー回路204に送られる。

【0044】ここで、データブロック分割部25について詳しく説明する。図20はデータブロック分割部25の構成例を示すブロック図である。このデータブロック分割部25は、入力画像データをそれぞれ入力するメモリ(1)251およびメモリ(2)252と、この2つのメモリ251、252の書き込みおよび読み出しを制御する制御回路253とを備えている。なお、このデータブロック分割部25は、3つのイメージセンサ308に対応して3つ設けられている。

【0045】図21は図20のデータブロック分割部25の動作を示すタイミングチャートである。図21

(a)に示すような、1つのイメージセンサ308からの1ブロックの入力画像データ255は、メモリ251、252に供給される。ここで、図21(b)に示すように、メモリ(1)251には1ブロックの入力画像データのうちの前半のデータを書き込むように、制御回路253から書き込み制御信号WE1が与えられる。一方、メモリ(2)252には1ブロックの入力画像データのうちの後半のデータを書き込むように、制御回路253から書き込み制御信号WE2が与えられる。図21(b)、(c)に示すように、2つの書き込み制御信号WE1、WE2は1ブロックの入力画像データの前半と後半の境界部分では重複している。従って、入力画像データの前半と後半の境界部分の画像データはメモリ251、252に重複して書き込まれることになる。本実施例では、メモリ251、252に重複して書き込むデータ量を14画素分としている。この14画素というのは、読み取り部においてイメージセンサ308を重ね合わせることによって重複して出力される画素数と同じである。

【0046】2つのメモリ251、252は、制御回路253からの図21(d)に示す読み出し制御信号REによって、入力画像データの周期よりも遅い周期で同時に読み出され、図21(e)、(f)に示すようにそれぞれ出力データ(1)256、出力データ(2)257に2分割されて出力される。

【0047】図22は、データブロック分割部25の入力画像データと出力データを示す説明図である。図22(a)に示すように時系列で入力してくる1ブロックの画素数を4800画素とすると、図22(b)に示すように、4800画素分のデータの前半の1画素から2407画素目までのデータがメモリ(1)251に書き込まれ、出力データ(1)256として読み出される。一方、メモリ(2)252には、図22(c)に示すように、2394画素目から4800画素目までのデータが書き込まれ、出力データ(2)257として読み出される。

【0048】このようにデータブロック分割部25において、3つのイメージセンサ308によって分割された3つのブロックがそれぞれさらに2つのブロックに分割されるので、1ラインのデータは6つのブロックに分割されることになる。そして、以降の処理は6つのブロックごとに独立にかつ並列に行われる。

【0049】図23はカラー回路204のブロック図である。カラー回路204は、ビデオ(2)回路203からの画像データ29を入力する色相判断部41と、この色相判断部41の後段に順に設けられたゴーストキャンセル部42、バッファメモリ43、色編集部44および濃度補正部45と、上記各部41~45を制御する制御部46とを備えている。制御部46はVMEバス16に接続されていると共に、ビデオ(2)回路203からの制御信号30と、AR回路205からの制御信号49とを入力し、DF回路206とAR回路205に対してそれぞれ制御信号50、51を送るようになっている。

【0050】カラー回路204に入力される画像データ29は、R、G、Bのカラー画像信号であり、色相判断部41にて原稿上の画像の色を判断しコード化したカラーコード信号と濃度データとが生成される。次段のゴーストキャンセル部42は、色相判断部41で生成されたカラーコード信号の補正を行うものである。これは、ビデオ(2)回路203のRGB位置ずれ補正の結果、例えば原稿上の黒画像のエッジ部等で誤った色相判断がなされ、無彩色以外のカラーコードを発生する場合があるので、このカラーコードを無彩色のカラーコードに直す処理(以下、色ゴースト補正という。)である。この誤ったカラーコードのことをゴーストと称し、ゴーストが発生したときのカラーコードの変化パターンが予め分かっているため、このパターンが一致したときにカラーコードを無彩色に直すようにしている。

【0051】ここで、ゴーストキャンセル部42につい

て詳しく説明する。図25はゴーストキャンセル部42の構成例を示すブロック図である。このゴーストキャンセル部42は主走査方向のゴーストを補正するものである。このゴーストキャンセル部42は、色相判断部41からの例えば4ビットのカラーコード428を入力し所定画素分遅延して出力するシフトレジスタ421と、色相判断部41からの例えば8ビットの濃度データを入力し着目画素が地肌濃度か否かを示す1ビットの地肌フラグを出力する地肌検出部422と、カラーコード428の4ビットの論理和をとるオアゲート423と、このオア回路423および地肌検出部422の各出力を入力し5画素分保持するシフトレジスタ424と、ゴーストが発生したときのカラーコードの変化パターン(以下、ゴーストパターンという。)を発生させるゴーストパターン発生回路425と、シフトレジスタ424に保持された5画素分のデータとゴーストパターン発生回路425で発生されたゴーストパターンとを比較し両者が一致するか否かを検出する比較器426と、シフトレジスタ427の出力を入力し、比較器426の出力に応じて補正するゴースト補正部427とを備えている。

【0052】次に、図26を参照してゴーストキャンセル部42の動作について説明する。図26(a)はシフトレジスタ424がデータを保持する5画素を示し、同図(b)はゴーストパターン発生回路425が発生するゴーストパターンを示す。図中、「色」とは有彩色であることを示す。カラーコード428はオア回路423で論理和がとられシフトレジスタ424に入力される。また、濃度データ429は地肌検出部422に入力される。地肌検出部422は濃度データが所定値より大きい場合に地肌フラグを“0”とし、濃度データが所定値以下の場合に地肌フラグを“1”とする。この地肌フラグはシフトレジスタ424に入力される。シフトレジスタ424は、オア回路423の出力データと地肌フラグとを、図26(a)に示すように判定画素431とその前後2画素ずつの計5画素分保持する。なお、オア回路423の出力データと地肌フラグとによって各画素が黒か白か有彩色か識別される。一方、ゴーストパターン発生回路425は図26(b)に示す6つのゴーストパターン①~⑥を発生する。そして、比較器426はシフトレジスタ424に保持された5画素のデータのパターンと6つのゴーストパターン①~⑥とを比較し、両者の一致を検出する。ゴースト補正部427は、シフトレジスタ421から判定画素431のカラーコードを入力し、比較器426によってシフトレジスタ424に保持された5画素のデータのパターンと6つのゴーストパターン①~⑥のいずれかとの一致が検出された場合にはカラーコードを全て“0”として補正後のカラーコード430として出力し、その他の場合には入力したカラーコードをそのまま補正後のカラーコード430として出力する。このような処理を全画素に対して行うことにより、色ゴ



ーストの発生が防止される。

【0053】上記の色ゴースト補正は、処理を高速でリアルタイムで行うために6つのブロックごとに独立にかつ並列に行われる。この色ゴースト補正では、判定画素431のデータ以外にその周囲のデータも使用するが、本実施例では各ブロックが隣接するブロックの境界近傍のデータを重複して持っているため、ブロックの境界部においても色ゴースト補正が可能になっている。

【0054】このようにして生成された濃度データおよびカラーコード信号は、順次図23のバッファメモリ43に格納されていく。一方、カラーコード信号47はAR回路205に送られる。本実施例では、マーカーペンを用いて原稿上に書かれたマーカーで囲まれた領域に対して種々の編集をリアルタイムで行うことができるようになっており、このマーカーで囲まれた領域を検出するのがAR回路205である。

【0055】ここで、AR回路205の説明を行った後に、カラー回路204の残りの部分について説明する。

【0056】図24はAR回路205のブロック図である。AR回路205は、カラー回路204からのカラーコード信号47を入力するマーカーフラグ生成部61と、このマーカーフラグ生成部61の後段に順に設けられたパラレル-シリアル変換（以下、PS変換と記す。）部62、領域認識部63およびシリアル-パラレル変換（以下、SP変換と記す。）部64と、上記各部61～64を制御する制御部65とを備えている。制御部65はVMEバス16に接続されていると共に、カラー回路204からの制御信号51を入力し、カラー回路204に対して制御信号49を送るようになっている。

【0057】カラー回路204から順次送られてきたカラーコード信号47は、各ブロックごとの信号になっている。まず、マーカーフラグ生成部61では、カラーコードからマーカーの画像であるか否かを判断し、マーカーの画像である場合にマーカーフラグを生成する。

【0058】ここで、マーカーフラグ生成部61について説明する。マーカーフラグ生成部61ではマーカーの検出、マーカー途切れの連結補正およびマーカーフラグ生成の3つの処理を行う。マーカーの検出は、読み取り画像の色相データ（カラーコード）から、使用者が指定したマーカー色に一致した色相データを持つ画素を検出し、領域色フラグを生成するもので、読み取り画像のカラーコードとマーカー色のカラーコードとを比較する比較器によって実現される。

【0059】次に、マーカー途切れの連結補正について詳しく説明する。マーカーを色むらや掠れがないように原稿に記入することは難しく、数画素の途切れを生じる場合がある。マーカーの途切れがあると領域を誤判定する可能性がある。この領域の誤判定を防止するために、マーカー途切れの連結補正を行い、各画素ごとのマーカーフラグを決定する。

【0060】マーカーの途切れを補正して、注目画素のマーカーフラグを決定するために、周囲の複数画素の領域フラグを利用する。このマーカー途切れの連結補正は、領域色フラグを持つ画素を太らせる処理（以下、OR処理という。）と、太らせた領域色フラグを持つ画素の端を削除することによって位置精度を上げる処理（以下、AND処理という。）を行う。ここでは、14画素以下のマーカーの途切れを補正する例を示す。

【0061】図27はマーカー途切れの連結補正を行う連結補正部の構成例を示すブロック図である。この図に示すように、連結補正部は、領域色フラグ505を順次入力し15画素分保持する15ビットシフトレジスタ501と、このシフトレジスタ501によって保持された15画素の領域色フラグ505の論理和をとるオア回路502と、このオア回路502の出力データを順次入力し15画素分保持する15ビットシフトレジスタ503と、このシフトレジスタ503によって保持された15画素のデータの論理積をとるアンド回路504とを備えている。

【0062】次に図28および図29を参照して、連結補正部の動作について説明する。図28に示すように、まず15ビットシフトレジスタ501によって、領域色フラグ505を順次入力し、注目画素510およびその前後7画素ずつの計15画素の領域色フラグを保持する。次に、オア回路502によって、この15画素の領域色フラグの論理和をとる。これは、15画素のなかに1画素でも指定したマーカー色の画素が存在すれば、注目画素510はマーカー色の画素とみなしマーカーフラグを“1”とするということである。図29(a)に示すようにマーカー色の画素511、512の間にマーカー色の画素がなく途切れている入力画像に対して上記OR処理を行うと、図29(b)に示すようにマーカー色の画素が画素511、512の両側に7画素分太ることになり、途切れている部分にマーカーフラグを補うことになる。なお、図中符号513はOR処理によってマーカー色の画素とみなされた画素を示す。

【0063】次に、図28に示すように、上記OR処理を行った後のマーカーフラグをさらに15ビットシフトレジスタ503に順次入力し、注目画素510およびその前後7画素ずつの計15画素のマーカーフラグを保持する。次に、アンド回路504によって、この15画素のマーカーフラグの論理積をとる。これは、15画素のマーカーフラグが全て“1”であるとき、注目画素510のマーカーフラグを“1”とし、それぞれ以外の場合はマーカーフラグを“0”とするということである。このAND処理の結果、図29(c)に示すように、OR処理で太らせたマーカー色の画素の両側が7画素分切り捨てられ、途切れている2つのマーカー色の画素511、512の間の画素のみがマーカー色の画素とみなされる。これにより、マーカー検出の位置精度を保つことができる。なお、図中

符号 514 は AND 処理によって最終的にマーカ色の画素とみなされた画素を示す。

【0064】このように上記 OR 処理および AND 処理によって、マーカ検出の位置精度を保ちながら、14 画素以下のマーカの途切れを補正することができる。

【0065】上記の連結補正は、処理を高速でリアルタイムで行うために 6 つのブロックごとに独立にかつ並列に行われる。この連結補正では、注目画素 510 のデータ以外にその周囲のデータも使用するが、本実施例では各ブロックが隣接するブロックの境界近傍のデータを重複して持っているため、ブロックの境界部においても連結補正が可能になっている。

【0066】次に、ブロック処理されたマーカーフラグを 1 ラインの信号に直すのが図 24 の PS 変換部 62 である。このようにして得られた 1 ラインのマーカーフラグからマーカーで囲まれた領域を認識するのが領域認識部 63 であり、ここで領域内を示す領域信号が生成される。この生成された領域信号は SP 変換部 64 で再び各ブロックごとに分割され、領域信号 48 として順次カラー回路 204 の色編集部 44 に出力される。カラー回路 204 においてバッファメモリ 43 が設けられている理由は、AR 回路 204 で領域を認識するのに時間がかかるため、この間カラーコード信号と濃度データを記憶しておき AR 回路 204 からの領域信号 48 とタイミングを合わせるためである。

【0067】ここで、図 23 のカラー回路 204 の説明に戻る。AR 回路 205 から出力されたブロック分割された領域信号 48 は色編集部 44 に入力され、制御信号 49 は制御部 46 に入力される。制御部 46 は、領域信号 48 と同期して対応する画素の濃度データとカラーコード信号をバッファメモリ 43 から読み出し、色編集部 44 に送る。本実施例の複写機は 2 色複写機であり、サブカラーフラグによって原稿上のどの色を 2 色のうちのどちらの色でプリントするかの指定ができるようになっている。また、ドロップカラーフラグによって原稿上のどの色の画像を消すか等の指定もできるようになっている。この機能により、例えばマーカーは不必要なので暗黙的に消される。これらの機能は、マーカーで指定された領域内あるいは領域外に対してのみ行うことも可能である。また、BKGIネブルフラグによって次段で行う地肌除去を領域内、外について行うか否かの指定もできる。これらのフラグの生成を行うのが色編集部 44 である。

【0068】このようにして生成されたフラグと濃度データおよびカラーコード信号は、順次濃度補正部 45 に送られる。濃度補正部 45 はドロップカラーフラグの立っている画素の濃度データを白にしたり（消したり）、原稿上の色ごとに（カラーコードごとに）独立した濃度調整ができるようにするためのものである。このようにして処理されたサブカラーフラグ、BKGIネブルフ

ラグ、領域信号、濃度データ等の出力 52 は、順次 DF 回路 206 に送られる。

【0069】図 30 は DF 回路 206 のブロック図である。DF 回路 206 は、カラー回路 204 からの出力 52 を入力する地肌除去部 71 と、この地肌除去部 71 の後段に順に設けられたデジタルフィルタ 72 およびサブカラーフラグ補正部 73 と、上記各部 71～73 を制御する制御部 74 とを備えている。制御部 74 は VME バス 16 に接続されていると共に、カラー回路 204 からの制御信号 50 を入力し、HTP 回路 207 に対して制御信号 76 を送るようになっている。

【0070】DF 回路 206 では、順次地肌除去部 71 で、BKGIネブルフラグの立っている部分の原稿の地肌部を白くすると共に、地肌部を示す BKGIフラグを生成する。次に、デジタルフィルタ 72 では、選択されている画像モードに応じてエッジ強調やスムージング処理が行われる。また、サブカラーフラグ補正部 73 は、スムージング処理によって画像エッジ部の地肌濃度が持ち上がった場合に、その持ち上がった地肌画素のサブカラーフラグを画像部のサブカラーフラグと同じにする補正を行い、これにより、例えば原稿の色文字の周りの黒輪郭の発生を防止するものである。こうして処理されたサブカラーフラグ、濃度データ、領域フラグおよび BKGIフラグ等の出力 75 は順次 HTP 回路 207 に送られる。

【0071】ここで、デジタルフィルタ 72 について詳しく説明する。図 31 は 7×7 の 2 次元デジタルフィルタとした場合のデジタルフィルタ 72 の構成例を示すブロック図である。この図に示すデジタルフィルタ 72 は、地肌除去部 71 からの濃度データ 701 を順次入力して 6 ライン分保持する 6 つのメモリ 702～707 と、地肌除去部 71 からの濃度データ 701 と各メモリ 702～707 からの濃度データをそれぞれ 7 画素分保持する 7 つのラッチ 711～717 と、ラッチ 711、717 に保持された濃度データを加算する加算器 721 と、ラッチ 712、716 に保持された濃度データを加算する加算器 722 と、ラッチ 713、715 に保持された濃度データを加算する加算器 723 と、各加算器 721～723 の出力データおよびラッチ 714 の出力データをそれぞれ保持する 4 つのラッチ 731～734 とを備えている。デジタルフィルタ 72 はさらに、各ラッチ 731～734 に保持されたデータに対して所定のフィルタ演算を行う 4 つのフィルタ 741～744 と、各フィルタ 741～744 の出力データを保持する 4 つのラッチ 751～754 と、ラッチ 751、752 に保持されたデータを加算する加算器 761 と、ラッチ 753、754 に保持されたデータを加算する加算器 762 と、両加算器 761、762 の出力データを加算する加算器 763 とを備えている。

【0072】次に、図 32 および図 33 を参照してディ

デジタルフィルタ72の動作について説明する。地肌除去部71からの濃度データ701はメモリ702~707によって7ラインのデータにされる。この7ラインのデータはそれぞれ7画素分ずつラッチ711~717に保持される。本実施例における7×7のデジタルフィルタ72は対象型であるため、加算器721~723によって、図32に示すように、1ライン+7ライン、2ライン+6ライン、3ライン+5ラインという加算がされる。加算されたデータおよびラッチ714からの4ライン目のデータは、それぞれフィルタ741~744で演算処理される。なお図32において符号780は演算の順番の方向を示している。

【0073】図33(a)は本実施例におけるフィルタ係数マトリックスを示し、A~Jがそれぞれフィルタ係数を示す。フィルタ741~744では、図33(b)に示す原画像の7×7画素のデータと図33(a)に示す各フィルタ係数との乗算および加算が行われ出力される。そして7×7の演算結果を出すために、4つのフィルタ741~744からの出力データを加算器761~763によって加算し、演算結果データ770を出力する。これにより図33に示すように、原画像の濃度とある固有の係数を持つフィルタとのマトリックスとのコンボリューション(たたみこみ)を行うことで、原画像の周波数特性を変化させることができる。

【0074】上記のデジタルフィルタ72においても、処理を高速でリアルタイムで行うために6つのブロックごとに独立にかつ並列に処理が行われる。このデジタルフィルタによる処理では、処理の対象となる画素のデータ以外にその周囲の画素のデータも使用するが、本実施例では各ブロックが隣接するブロックの境界近傍のデータを重複して持っているため、ブロックの境界部においてもフィルタ処理が可能になっている。

【0075】図34はHTP回路207のブロック図である。HTP回路207は、DF回路206の出力75を入力するブロックラインパラレル変換部81と、このブロックラインパラレル変換部81の後段に設けられた縮拡大部82と、EDIT回路208からの画像データ94を入力する濃度調整部88と、この濃度調整部88の後段に順に設けられた中間調処理部85および4値化データ変換部84と、4値化データ変換部84の出力データを記憶する診断用メモリ87と、上記各部を制御する制御部85と、上記各部にクロックを供給するクロック発生部86とを備えている。制御部85はVMEバス16に接続されていると共に、DF回路206からの制御信号76とEDIT回路208からの制御信号96を入力し、EDIT回路208とデータ処理回路210に対してそれぞれ制御信号95、98を送るようになっている。

【0076】本実施例の複写機では、副走査方向の縮拡大はアナログ複写機と同様に原稿の搬送スピードを変え

て行うが、主走査方向の縮拡大はデジタル的な画像処理によって行う。その場合、ブロックごとの並列処理では、この処理が非常に複雑になる。そこで、HTP回路207のブロックラインパラレル変換部81でブロックごとの画像データ列をラインごとの並列処理ができる画像データ列に変換する。これは例えば、図35(a)~(f)に示すような6つのブロックごとの画像データ列を、図36(a)~(d)に示すような4ライン並列の画像データ列に変換するものである。次に、変換された画像データ、BK Gフラグ、サブカラーフラグは縮拡大部82に送られる一方、領域フラグ(領域信号)91はEDIT回路208に送られる。また、縮拡大部82から出力される画像データ93もEDIT回路208に送られる。

【0077】ここで、EDIT回路208の説明を行った後に、HTP回路207の残りの部分について説明する。

【0078】図37はEDIT回路208のブロック図である。EDIT回路208は、HTP回路207からの領域フラグ(領域信号)91を入力する矩形領域認識部101と、HTP回路207からの画像データ93を入力するミラー編集部102と、このミラー編集部102の後段に順に設けられたネガポジ編集部103、濃度調整部104およびあみかけ編集部105と、上記各部を制御する制御部106とを備えている。制御部106はVMEバス16に接続されていると共に、HTP回路207からの制御信号95を入力し、HTP回路207に対して制御信号96を送るようになっている。

【0079】本実施例の複写機では、マーカーで囲んで領域を指定する方法の他に、図38に示すように、原稿310上にマーカーが書かれた4点330を検出して、図中の斜線部の矩形領域を認識し種々の編集を行った。図39に示すように、原稿310上の2点A、Bの原稿左上端からの距離 $x_A$ 、 $y_A$ 、 $x_B$ 、 $y_B$ をコントロールパネル213から指定することで、図中の斜線部を矩形領域として認識し、種々の編集を行うことができる。これらの矩形領域の認識および矩形領域内の画素それぞれに対応して領域フラグ(領域信号)を生成することを行うのが矩形領域認識部101である。そして、この矩形領域認識部101で順次処理された領域フラグ(領域信号)92はHTP回路207の縮拡大部82に送られ、この縮拡大部82でBK Gフラグ、サブカラーフラグ、濃度データと共に縮拡大処理が行われる。次に、順次縮拡大処理が行われた画像データ93はEDIT回路208のミラー編集部102に送られる。

【0080】EDIT回路208では、順次送られてきた画像データ93に対してリアルタイムで編集を行っている。ミラー編集部102は図40(a)で示すような矩形領域331内での、あるいは全面での鏡像編集処理を行い、図40(b)に示すような鏡像を得るものであ

る。次段のネガポジ編集部 103 は白と黒が反転したネガポジ反転画像を得るものである。次段の濃度調整部 104 はコントロールパネル 213 上のコピー濃度調整機能に対応したもので、出力色の 2 色のそれぞれについて数種類の濃度変換カーブを選択できるものである。次段のあみかけ編集部 105 はコントロールパネル 213 から選択されたあみパターンで画像にあみかけを行うものである。また、領域内を消去（マスキング）したり、領域外を消去（トリミング）したりする機能も、このあみかけ編集部 105 で行う。なお、ネガポジ編集およびあみかけ編集も、マーカーで囲んだ領域あるいは全面についても行うことができることは言うまでもない。こうして順次処理された画像データ 94 は HTP 回路 207 に送られる。

【0081】ここで、図 34 の HTP 回路 207 の説明に戻る。EDIT 回路 208 から送られてきた画像データ 94 は濃度調整部 88 に入力される。この濃度調整部 88 の機能は EDIT 回路 208 の濃度調整部 104 と同等の機能である。EDIT 回路 208 はオプション回路になっているので、EDIT 回路 208 が搭載されていない場合は HTP 回路 207 の濃度調整部 88 で濃度調整を行い、EDIT 回路 208 が搭載されている場合はここでは何も処理しない。EDIT 回路 208 搭載時に EDIT 回路 208 で濃度調整を行う理由は、コントロールパネル 213 からあみかけパターンの濃度を選択できるが、その選択した濃度がコントロールパネル 213 のコピー濃度調整で変化しないようにするためには、あみかけ編集処理以前に濃度調整を行わなければならないからである。

【0082】次に、中間調処理部 83 では、多値画像データを面積階調をとった 4 値化データに変換する。この 4 値化とは、1 画素の濃度を白、グレー（1）、グレー（2）、黒の 4 階調にすることである。このようにして処理されたデータは、4 値化データ変換部 84 で複数画素分の画像データ（4 値の濃度データとサブカラーフラグ）をまとめたデータ 97 に変換され、図 2 に示すように画像処理部 214 外のデータ処理回路 210 に順次出力される。また、診断用メモリ 87 は自己診断のために 4 値化データ変換部 84 の出力データ 97 を記憶するものである。

【0083】図 2 において、データ処理回路 210 は、HTP 回路 207 から送られてきた画像データをページメモリ回路 212 に送り、このページメモリ回路 212 内のページメモリに記憶する。このようにして原稿を全て読み終えたら、CPU（1）回路 209 の CPU111 は、制御データ線 120 を通して CPU（2）回路 211 の CPU に情報を送る。すると、CPU（2）回路 211 の CPU は、制御データ線 237 を通してプリント部 221 の制御部 236 に用紙の搬送とページメモリ内に画像データが記憶されていることを連絡する。

【0084】図 3 において、プリント部 221 の制御部 236 は所定の用紙を搬送すると共に、制御信号 238 によってデータ処理回路 210 からページメモリ内の画像データ 215 を所定のタイミングで読み出す。読み出された画像データ 215 はデータ分離部 231 に送られる。データ分離部 231 はサブカラーフラグによって濃度データを振り分ける機能を持っており、例えばサブカラーフラグが“0”のときは濃度データを第 1 色画像データメモリ 232 に送り、第 2 色画像データメモリ 234 には白データを送る。また、サブカラーフラグが“1”のときは濃度データを第 2 色画像データメモリ 234 に送り、第 1 色画像データメモリ 232 には白データを送る。プリント部 221 はゼログラフィ技術を用いてプリントするものであり、チャージコロトン、現像器等は第 1 色用と第 2 色用の 2 つを持っており、感光体（ドラム）上の 2 色画像を用紙に同時に転写し、定着を行うものである。そして、露光用の半導体レーザは、第 1 色用と第 2 色用をそれぞれ設け、これを画像データを基に駆動制御するのが、第 1 色レーザ駆動部 233 および第 2 色レーザ駆動部 235 である。

【0085】以上説明したように本実施例によれば、3 つのイメージセンサ 308a、308b、308c によって、隣接する 2 つのブロックの境界近傍の画像データを各ブロックが重複して持つように 3 つのブロックに分割すると共に、この 3 つの各ブロックをさらに、隣接する 2 つのブロックの境界近傍の画像データを各ブロックが重複して持つように 2 つのブロックに分割して、計 6 つのブロックに分割し、6 つのブロックごとに独立にかつ並列に画像処理を行うようにしたので、画像処理を高速に行うことができる。しかも、各ブロックが隣接するブロックとの境界近傍の画像データを重複して持つことから、各ブロックの境界近傍においても、色ゴースト補正やマーカーの連結補正やデジタルフィルタ処理等、注目画素に対してその周辺の複数の画素の画像データを用いる処理を行うことができる。

【0086】なお、本発明は上記実施例に限定されず、例えば実施例では密着型の CCD イメージセンサを使用しているが、縮小型のイメージセンサであっても実現可能である。また、4 つ以上の CCD イメージセンサを並設させて分割読み取りを行っても良いし、またセンサの重ね合わせ量は何画素分であっても良い。また、1 ラインあるいは 1 ブロックの画像データを信号処理によって複数ブロックに分割するときにも、隣接するブロック間の重ね合わせ量は何画素分でも良い。

【0087】また、並列処理としては、色ゴースト補正、マーカーの連結補正、デジタルフィルタ処理に限らず、注目画素に対してその周囲の画素のデータを参照して画像処理を行う、いわゆる面積処理であっても良い。

【0088】図 41 は縮小型イメージセンサを 2 個使用して 1 ラインを 2 つのブロックに分割する場合の光学系

の概略を示す説明図である。この図に示す例では、原稿画像の同一主走査ラインの全読み取り幅Wに対して、その前半部W1の原稿画像を結像レンズ801によって縮小型CCDイメージセンサ802に結像させ、後半部W2の原稿画像を結像レンズ803によって縮小型CCDイメージセンサ804に結像させ、同一主走査ラインを2つの縮小型CCDイメージセンサ802、804によって分割して読み取るようにしている。また、前半部W1と後半部W2の境界近傍の数画素分の領域805は2つの縮小型CCDイメージセンサ802、804によって重複して読み取るようにしている。その他の構成、作用および効果は、図2ないし図40に示す実施例と同様である。

#### 【0089】

【発明の効果】以上説明したように請求項1ないし4記載の発明によれば、1ライン分の画像データを、隣接する2つのブロックの境界近傍の画像データを各ブロックが重複して持つように複数のブロックに分割し、各ブロックごとに独立にかつ並列に画像処理を行うようにしたので、1ライン分の画像データに対して画像処理を高速に行うことができるという効果がある。

【0090】また、請求項5ないし8記載の発明によれば、分割された各ブロックが隣接するブロックとの境界近傍の画像データを重複して持つことから、注目画素に対してその周辺の複数の画素の画像データを用いる画像処理を1ライン分の画像データに対して行う場合に、各ブロックの境界近傍においても画像処理が可能となり、処理できない画素が生じることなく、上記の画像処理を高速に行うことができるという効果がある。

#### 【図面の簡単な説明】

【図1】 本発明を概略の構成を示す説明図である。

【図2】 本発明の一実施例におけるイメージスキャナ部の構成を示すブロック図である。

【図3】 一実施例におけるプリント部の構成を示すブロック図である。

【図4】 一実施例におけるイメージスキャナ部の断面の一部を示す説明図である。

【図5】 図4の基準板の一部を示す斜視図である。

【図6】 図4のイメージセンサの平面図である。

【図7】 図6のイメージセンサの一つのチップの画素配列を示す説明図である。

【図8】 一実施例における3つのイメージセンサの平面図である。

【図9】 図8のイメージセンサの斜視図である。

【図10】 図8のイメージセンサの長手方向から見た側面図である。

【図11】 図8のイメージセンサの端部の画素配置を示す説明図である。

【図12】 一実施例における3つのイメージセンサによって分割されるブロックを示す説明図である。

【図13】 図2のCPU(1)回路のブロック図である。

【図14】 図2のアナログ回路のブロック図である。

【図15】 図2のビデオ(1)回路のブロック図である。

【図16】 図15のCCDギャップ補正部の出力画像データ列を示す説明図である。

【図17】 図15のRGBセパレーション部の出力画像データ列を示す説明図である。

【図18】 図2のビデオ(2)回路のブロック図である。

【図19】 図18のデータブロック分割部によって分割されたブロックを示す説明図である。

【図20】 図18のデータブロック分割部の構成例を示すブロック図である。

【図21】 図20のデータブロック分割部の動作を示すタイミングチャートである。

【図22】 図20のデータブロック分割部の入力画像データと出力データを示す説明図である。

【図23】 図2のカラー回路のブロック図である。

【図24】 図2のAR回路のブロック図である。

【図25】 図23のゴーストキャンセル部の構成例を示すブロック図である。

【図26】 図25のゴーストキャンセル部において比較する5画素およびゴーストパターンを示す説明図である。

【図27】 図24のマーカフラグ生成部におけるマーカ途切れの連結補正を行う連結補正部の構成例を示すブロック図である。

【図28】 図27の連結補正部の動作を説明するための説明図である。

【図29】 図27の連結補正部の動作を説明するための説明図である。

【図30】 図2のDF回路のブロック図である。

【図31】 図30のデジタルフィルタを示すブロック図である。

【図32】 図31のデジタルフィルタにおける演算の順番を示す説明図である。

【図33】 図31のデジタルフィルタにおける演算処理を説明するための説明図である。

【図34】 図2のHTP回路のブロック図である。

【図35】 図34のブロッカーラインパラレル変換部の入力データ列を示す説明図である。

【図36】 図34のブロッカーラインパラレル変換部の出力データ列を示す説明図である。

【図37】 図2のEDIT回路のブロック図である。

【図38】 図37のEDIT回路における処理の対象となる矩形領域の指定方法を示す説明図である。

【図39】 図37のEDIT回路における処理の対象となる矩形領域の指定方法の他の例を示す説明図であ

る。

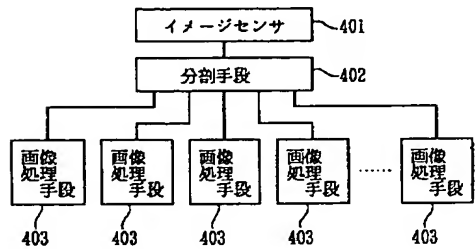
【図 4 0】 図 3 7 のミラー編集部におけるミラー編集を説明するための説明図である。

【図 4 1】 本発明の他の実施例における光学系の概略を示す説明図である。

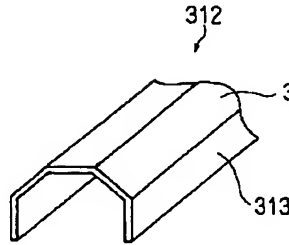
# 【符号の説明】

2 5 …データブロック分割部、4 2 …ゴーストキャンセル部、6 1 …マーカフラグ生成部、7 2 …デジタルフィルタ、2 2 0 …イメージスキャナ部、3 0 8 …イメージセンサ

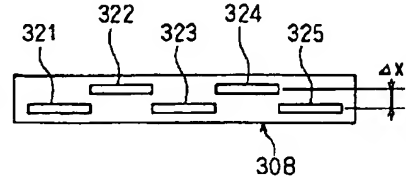
【図 1】



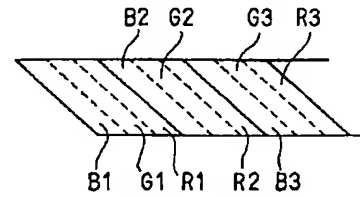
【図 5】



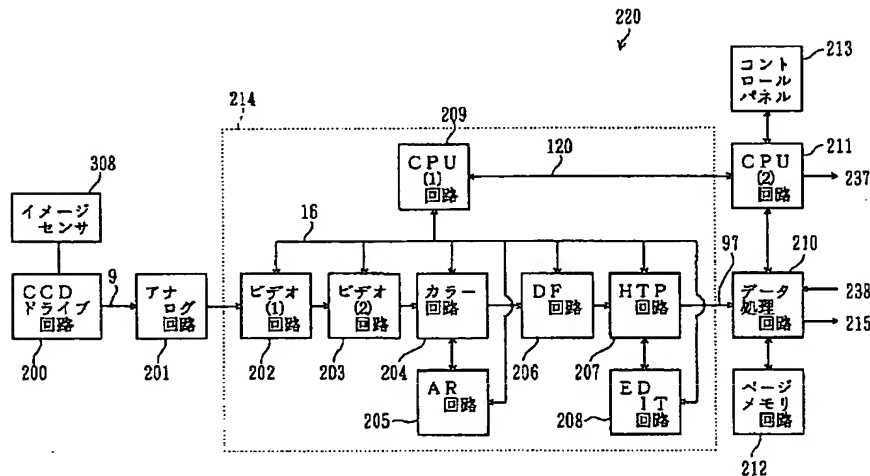
【図 6】



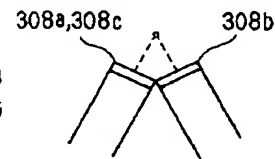
【図 7】



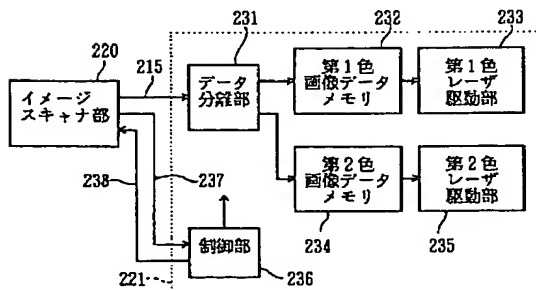
【図 2】



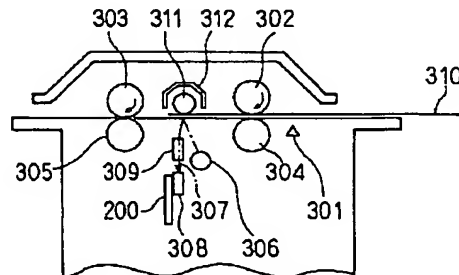
【図 1 0】



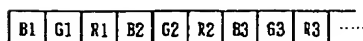
【図 3】



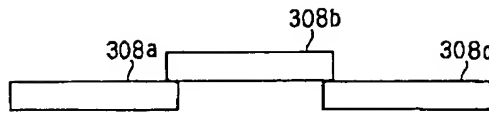
【図 4】



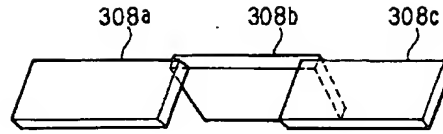
【図 1 6】



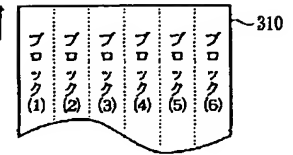
【図 8】



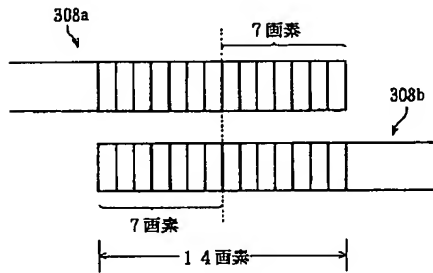
【図 9】



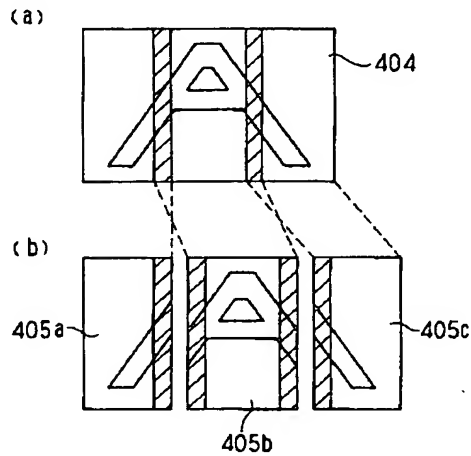
【図 19】



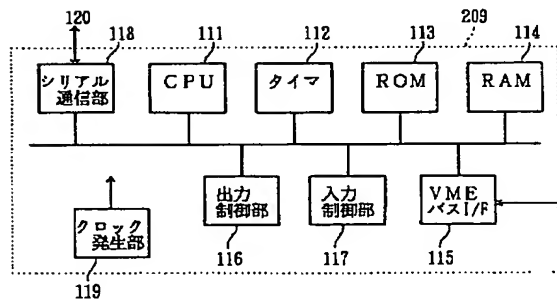
【図 11】



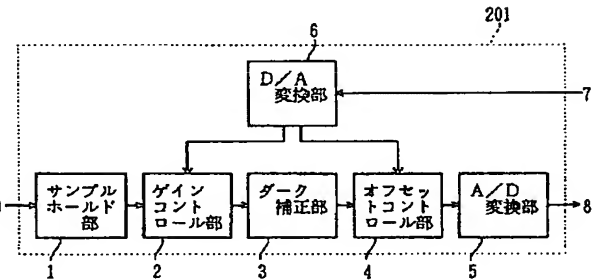
【図 12】



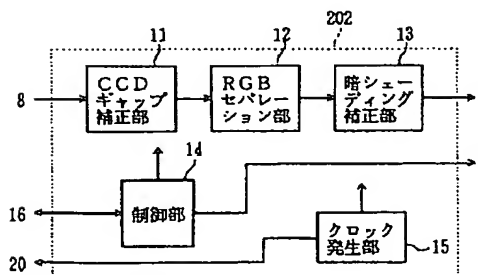
【図 13】



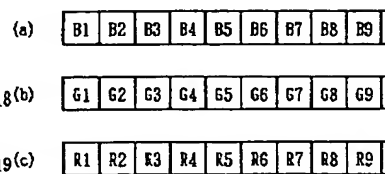
【図 14】



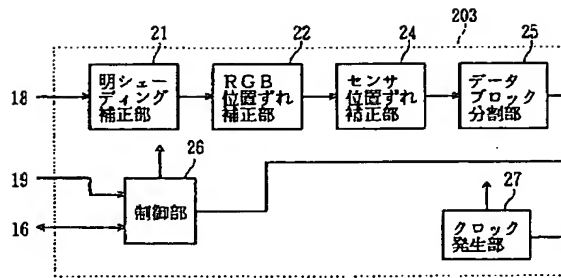
【図 15】



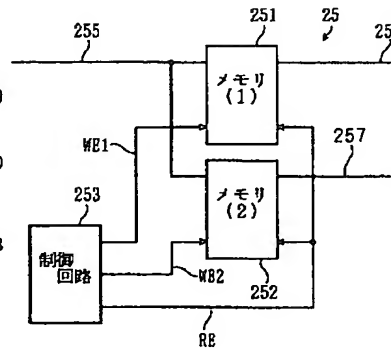
【図 17】



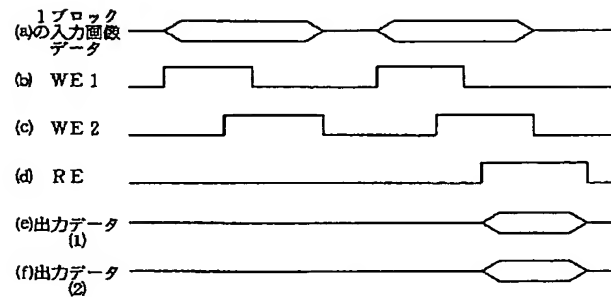
【図 18】



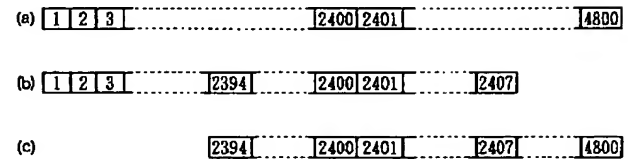
【図 20】



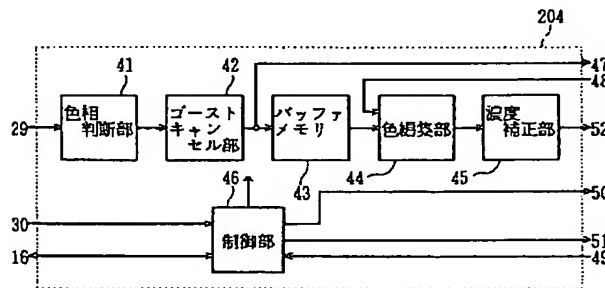
【図 21】



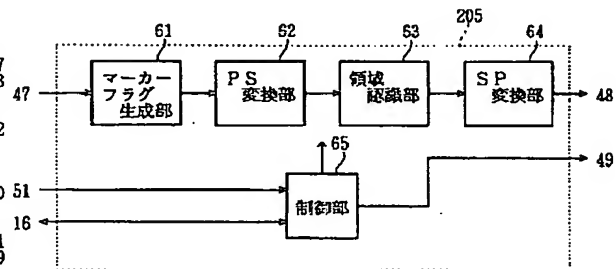
【図 22】



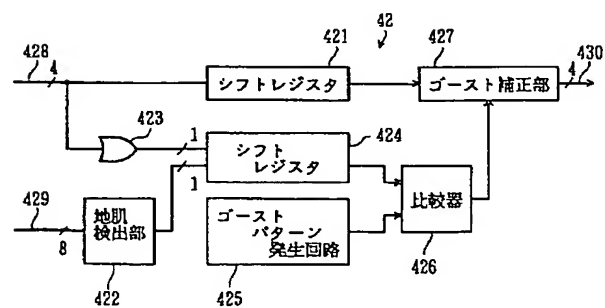
【図 23】



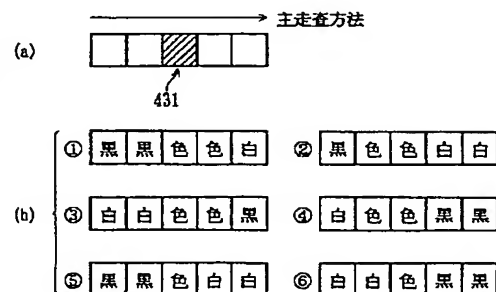
【図 24】



【図 25】

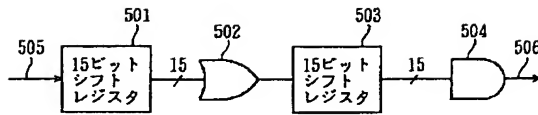


【図 26】

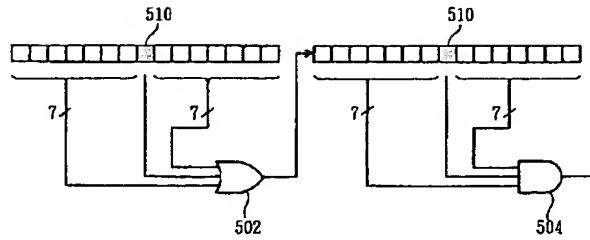




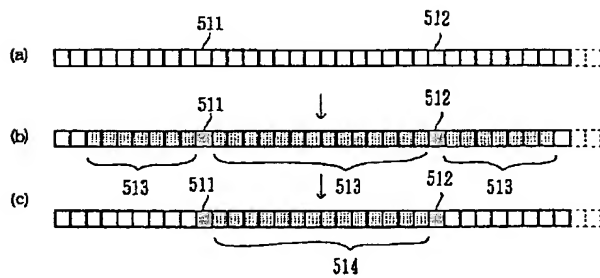
【図 27】



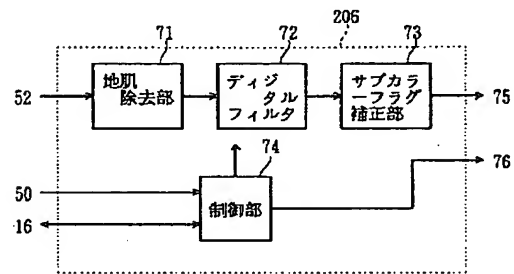
【図 28】



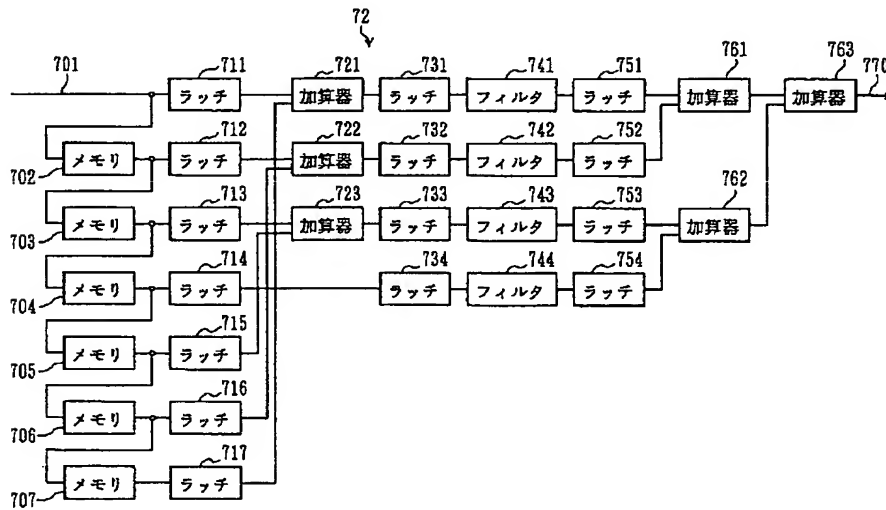
【図 29】



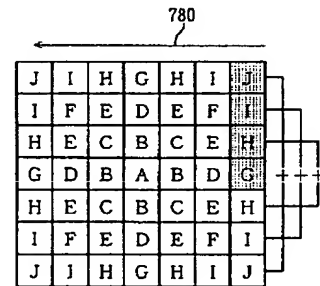
【図 30】



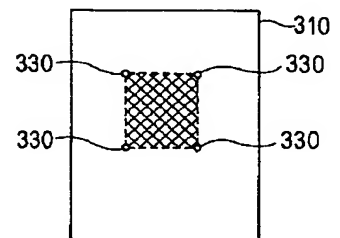
【図 31】



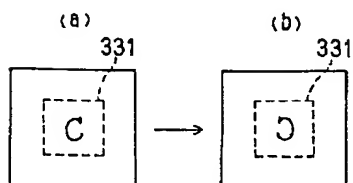
【図 32】



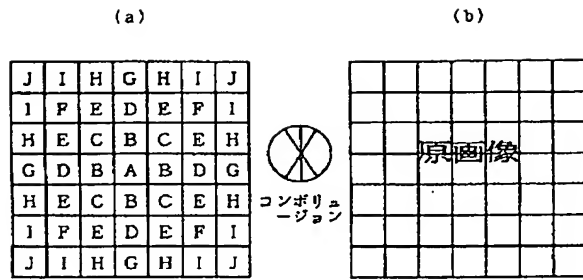
【図 38】



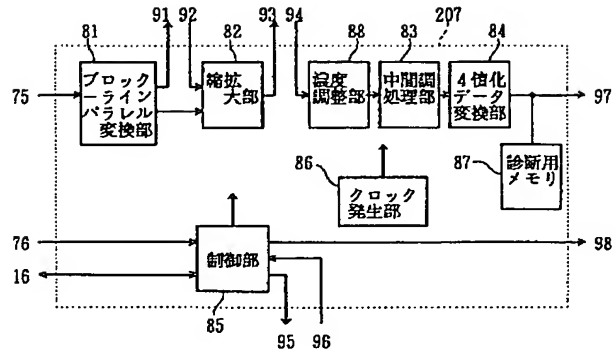
【図 40】



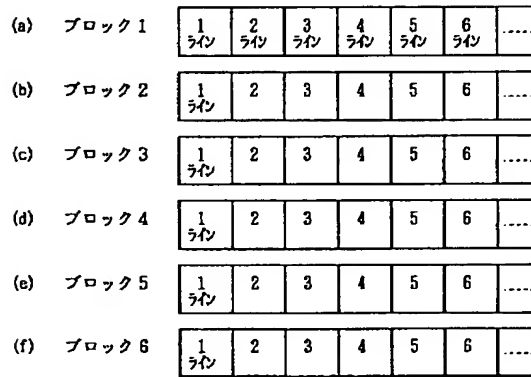
【図 3 3】



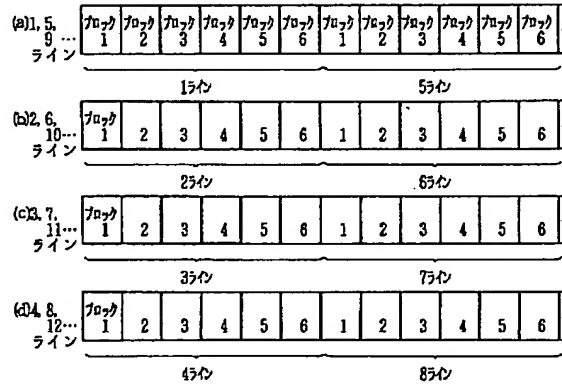
【図 3 4】



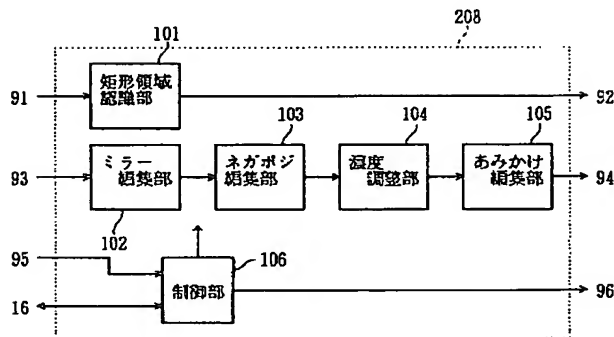
【図 3 5】



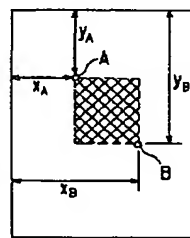
【図 3 6】



【図 3 7】



【図 3 9】



【図 4 1】

